

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083335

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H03K 19/00
G11C 11/413
G11C 11/407
H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H03K 19/094
H03K 19/096

(21)Application number : 08-125085

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 20.05.1996

(72)Inventor : JEUNG WON SEO

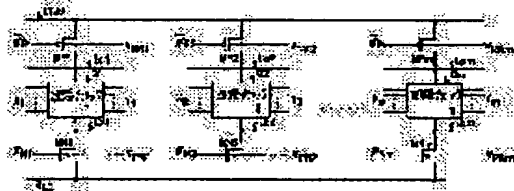
(30)Priority

Priority number : 95 9512617 Priority date : 19.05.1995 Priority country : KR

(54) SEMICONDUCTOR DEVICE FOR REDUCING POWER CONSUMPTION IN STANDBY STATE**(57)Abstract:**

PROBLEM TO BE SOLVED: To reduce power consumption by providing MOS transistors which are turned off when a partial circuit block is in a standby state and in which threshold voltage rises and threshold down current reduces with the control of substrate voltage.

SOLUTION: In the voltage V_{NW1} of an N well in which PMOS (MPi) is formed, voltage V_{NW-SB} in the standby state increases by a prescribed value compared to voltage V_{NW-AC} in an operation state. In the voltage V_{PW1} of a P well in which NMOS (MNi) is formed, voltage V_{PW-SB} in the standby state reduces by the prescribed value compared to voltage V_{PW-AC} in the operation state and respective threshold voltage values of PMOS (MPi) and NMOS (MNi) increase with body effect. Threshold down current of PMOS (MPi) and NMOS (MNi) in the standby state reduces. The respective well voltages of PMOS (MPi) and NMOS (MNi) are made different in the standby state and the operation state.

**LEGAL STATUS**

[Date of request for examination] 30.01.1998

[Date of sending the examiner's decision of rejection] 22.05.2001

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] In a semiconductor device possessing a common supply power supply line and a common-electrical-ground power supply line which supply a predetermined power supply in common to two or more internal circuitries of a semiconductor device. Among the above-mentioned internal circuitries, for every circuit which has the same timing, a standby condition and an operating state of the circuit divide into a partial circuit block of two or more low order, and constitute. It provides at least in one side between these partial circuit block, the above-mentioned common supply power supply line, or the above-mentioned

common-electrical-ground power supply line. A semiconductor device for decreasing power consumption of a standby condition characterized by providing the first MOS transistor to which threshold voltage goes up and bottom current of a threshold decreases from a turn-off being carried out when the above-mentioned partial circuit block is in a standby condition, and adjusting substrate voltage.

[Claim 2] It is a semiconductor device for decreasing power consumption of a standby condition according to claim 1. When presenting logical level in which a predetermined circuit point within the

above-mentioned partial circuit block became settled in the state of standby, The second MOS transistor which becomes the path of bottom current of a threshold of the second MOS transistor which constitutes the above-mentioned partial circuit block. It is characterized by connecting with the above-mentioned common supply power supply line or the above-mentioned

common-electrical-ground power supply line through the first MOS transistor of the above, connecting directly with the above-mentioned common supply power supply line or the above-mentioned common-electrical-ground power supply line the second remaining MOS transistors which do not become the path of bottom current of a threshold, and constituting.

[Claim 3] It is a semiconductor device for decreasing power consumption of a standby condition according to claim 1 or 2. The first MOS transistor between the above-mentioned common supply power supply line and the above-mentioned partial circuit block. When a connected partial circuit block is in a standby condition, logical level H is inputted into a gate electrode. What is characterized by inputting logical level L into a gate electrode at the time of an operating state, and consisting of P channel MOS transistors which present substrate voltage only with a predetermined value smaller than the time of a standby

condition at the time of an operating state.

[Claim 4] It is a semiconductor device for decreasing power consumption of a standby condition according to claim 3. The first MOS transistor between the above-mentioned

common-electrical-ground power supply line and the above-mentioned partial circuit block When a connected partial circuit block is in a standby condition, logical level L is inputted into a gate electrode. What is characterized by inputting logical level H into the gate at the time of an operating state, and consisting of N-channel MOS transistors which present substrate voltage only with a larger predetermined value than the time of a standby condition at the time of an operating state.

[Claim 5] It is a semiconductor device for decreasing power consumption of a standby condition according to claim 4, and the first MOS transistor of the above is characterized by being formed in a well which became independent so that it might be possible to adjust substrate voltage freely, without affecting the second MOS transistor which constitutes the above-mentioned partial circuit block.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention

belongs] This invention is a thing about the semiconductor device for decreasing the power exhausted by subthreshold level current (bottom current of a threshold) of a standby condition. A long channel It applies to the memory and the logical element of gigabit (G-bit) class which use the deep submicron MOS transistor (Deep Submicron MOS Transistor) which is inferior in a cut-off characteristic compared with a transistor. (Long Channel) By decreasing the current (standby current) of a standby condition remarkably, it is related with the semiconductor device for decreasing power consumption of a standby condition.

[0002]

[Description of the Prior Art]

Conventionally, in a semiconductor circuit, when using it, combining a memory device and a logical element two or more Although a power supply is supplied to the circuit block B0 which is each partial circuit so that it may generally see in the circuit diagram showing the construct of drawing 6 Usually uses it directly, connecting the supply power supply line (global power line) L100 of the community (global area) to the whole large-sized equipment, and the common touch-down power supply line (globalground line) L0 with these partial circuit block B0.

[0003]

[Problem(s) to be Solved by the

Invention] However, if the configuration which carries out direct continuation of the power supply line (an electric supply side and earth side) to a partial circuit block is taken such, in using a deep submicron MOS transistor (deep submicron MOS transistor), there is a trouble which power consumption (I want you to be zero originally) of the circuit of the direction which the bottom current of a threshold (sub-threshold current) will flow mostly, and a transistor has in a standby condition also in the state of a cut-off (that is, under threshold voltage) increases greatly unnecessarily.

Fundamentally, since the bottom current of a threshold increases in connection with threshold voltage becoming small also in the range of $|V_{GS} < V_T|$ in the threshold field of a transistor (V_{GS} is the voltage between the gate sources and V_T is threshold voltage here) as the magnitude of an MOS transistor becomes small, such a trouble is generated.

Therefore, in the memory logical element of the gigabit class which constitutes a circuit using a deep submicron MOS transistor, power consumption of a standby condition becomes a very serious trouble.

[0004] For this reason, the circuit technology of "Switched-Source Impedance CMOS Circuit" (IEEE Journal of Solid State Circuits, the 28th volume, No. 11, November, 1993) which some circuit technology for preventing

power consumption of a standby condition is announced, and Hitachi of Japan announced as one of them is the most typical. However, the shift to an operating state (active state) not only from making delay of circuit actuation increase but a standby condition (standby state) is also slow, and the circuit technology of Hitachi is also still inadequate for raising the engine performance of a whole circuit, even if it can decrease the bottom current of a threshold of a standby condition notably. [0005] Therefore, this invention has the quick shift to an operating state from a standby condition, and aims at coming, being [can set in the standby condition,], decreasing bottom current, and offering a semiconductor device with little power consumption.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, a semiconductor device for decreasing power consumption of a standby condition by this invention In a semiconductor device possessing a common supply power supply line and a common-electrical-ground power supply line which supply a predetermined power supply in common to two or more internal circuitries Among the above-mentioned internal circuitries, for every circuit which has the same timing, a standby condition and an operating state of the circuit divide into a partial circuit block

of two or more low order, and constitute. It provides at least in one side between these partial circuit block, the above-mentioned common supply power supply line, or the above-mentioned common-electrical-ground power supply line. An MOS transistor to which threshold voltage goes up and bottom current of a threshold decreases provides and consists of a turn-off being carried out when the above-mentioned partial circuit block is in a standby condition, and adjusting substrate voltage.

[0007]

[Embodiment of the Invention] Hereafter, this invention is explained to details with reference to drawing 1 -5 of an accompanying drawing. Drawing 1 is the circuit diagram showing the construct of the semiconductor device by one example of this invention. Without connecting the community (wide area) supply power supply line L100 and the community (wide area) touch-down power supply line L0 with each partial circuit block directly The circuit block of low order [a large number / block / whole / circuit / (m pieces) for every circuit where a standby condition and an operating state are same], That is, it divides into the partial circuit block Bi (i= it is the same as that of 1, 2, ..., m, and the following here). As opposed to each partial circuit block Bi the local (local) partial supply power supply line Lai and the local partial touch-down power supply line Lbi It

connects with the common supply power supply line L100 and the common-electrical-ground power supply line L0 through P channel MOS transistor (PMOS) MPi and the N-channel MOS transistor (NMOS) MNi which are a switching means, respectively.

The circuit of the whole equipment is constituted in a layered structure, and each N well which forms PMOS (MPi) and NMOS (MNi), and P well are embodied so that it may dissociate from the well which forms other MOS transistors which constitute memory and a logical element. Xi is an input signal to the partial circuit block Bi, and Yi is an output signal from the partial circuit block Bi. Moreover, ϕ_i is the negative phase sequence component of the control-input signal added to the PMOS transistor MPi (mark ϕ in a sentence is equivalent to striping drawn above the sign character in a drawing, and expresses the negative phase sequence component of a signal here), and $\phi_{inickel}$ is a part for the normal phase of the control-input signal added to the NMOS transistor MNi. Furthermore, the voltage of N well in which, as for V_{NW_i} , the PMOS transistor MPi is located, and V_{PW_i} are the voltage of P well in which the NMOS transistor MNi is located.

[0008] Drawing 2 is timing charts, such as a control signal in the circuit of drawing 1, and signal ϕ_i (i of a subscript is omitted in the drawing)

inputted into the gate of PMOS (MPi) presents logical level H (high), when the partial circuit block Bi connected with it is in a standby condition, and it presents logical level L (low) at the time of an operating state. On the other hand, signal $\phi_{inickel}$ inputted into the gate of NMOS (MNi) presents logical level L, when the partial circuit block Bi connected with it is in a standby condition, and it presents logical level H at the time of an operating state. If the partial circuit block Bi will be in a standby condition from an operating state, therefore, by carrying out the turn-off of PMOS (MPi) and the NMOS (MNi) with control signal ϕ_{Pi} and $\phi_{inickel}$, respectively the partial supply power supply line Lai and the partial touch-down power supply line Lbi are separated from the common supply power supply line L100 and the common-electrical-ground power supply line L0, respectively, and flow through PMOS (MPi) and NMOS (MNi) -- power consumption of a standby condition is decided by the bottom current of a threshold.

[0009] Moreover, the voltage VNW_i of N well by which PMOS (MPi) is formed in it like drawing 2 Voltage VNW-SB at the time of a standby condition increases only a predetermined value from voltage VNW-AC at the time of an operating state, and, on the other hand, the voltage VPW_i of P well by which NMOS (MNi) is

formed in it Only in a predetermined value, voltage VPW-SB at the time of a standby condition decreases, and the magnitude of each threshold voltage of PMOS (MPi) and NMOS (MNi) comes to increase from voltage VPW-AC at the time of an operating state by the body effect (body effect). therefore, the bottom current of a threshold of PMOS (MPi) and NMOS (MNi) of a standby condition -- remarkable -- decreasing -- power consumption -- the -- part reduction is carried out.

[0010] On the other hand, if it shifts to an operating state from a standby condition, when control signal ϕ_{Pi} shifts to logical level L from logical level H, control signal $\phi_{inickel}$ shifts to logical level H from logical level L, as for VNW_i, voltage decreases to coincidence at VNW-AC, voltage increases VPW_i from VPW-SB to VPW-AC and the magnitude of each threshold voltage of PMOS (MPi) and NMOS (MNi) becomes small, it will be in an operating state quickly.

[0011] Namely, by making it change a standby condition and an operating state in the wells voltage of PMOS (MPi) and NMOS (MNi) As make the magnitude of threshold voltage increase in the state of standby, it is made for the bottom current of a threshold to decrease and the magnitude of threshold voltage is decreased in an operating state, while the shift to an operating state from a standby condition is performed quickly The

current drive capacity of PMOS (MPi) and NMOS (MNi) is made to increase. [0012] In addition, by aforementioned drawing 1, the common supply power supply line L100 and the common-electrical-ground power supply line L0 can use either for a partial circuit block among them, connecting it with it directly, and one of another side can also be used as a layered structure using a partial power supply line.

[0013] By the way, generally a memory device like DRAM is defined uniformly [the logic level (L or H) of most internal nodes (internal nodes)] in the state of standby. When the logic level of most nodes is uniformly defined in the state of standby such, the bottom current of a threshold can be decreased more efficiently.

[0014] Drawing 3 is a thing illustrating the method of connection of a power supply line (a supply side and earth side) over the internal circuitry (circuit block) in which the logic level of each node (circuit point) has become settled in the state of standby. The circuit block illustrated here consists of a circuit where three inverters were connected with the serial, and the logical level of the input edge node of each inverter in a standby condition. If n1 assumes that L and n3 can maintain H and n4 can maintain L, the bottom current of a threshold of PMOS (MPa), NMOS (MNb), and PMOS (MPc) will make low voltage

of the partial supply power supply line Lai, and it will make [H and 2n] high voltage of the partial touch-down power supply line Lbi. In this case, if only the transistor which becomes the path of the bottom current of a threshold is connected with the partial supply power supply line Lai or the partial touch-down power supply line Lbi like drawing 3 and the remaining transistors are connected with the common supply power supply line L100 or the common-electrical-ground power supply line L0, reverse voltage will be built between the gate-sources of the transistors MPa, MNb, and MPc which become the path of the bottom current of a threshold, and the bottom current of a threshold will decrease remarkably. If supplemented by reference, the bottom current of a threshold of an MOS transistor will decrease rapidly, if reverse voltage is added between the gate sources. [0015] The voltage of the partial supply power supply line Lai becomes low slightly compared with the voltage of the common supply power supply line L100 according to the bottom current of a threshold (ΔV_{DD}), and the voltage of the partial touch-down power supply line Lbi becomes high slightly at reverse compared with the voltage of the common-electrical-ground power supply line L0 (ΔV_{SS}). Therefore, the reverse bias of ΔV_{DD} will start between the gate sources of Transistors MPa and MPc,

and the reverse bias of ΔV_{SS} will start between the gate sources of Transistor MNb.

[0016] Drawing 4 and drawing 5 are the cross sections of the semiconductor in which the structure concept of the triple well for embodying this invention is shown. since the substrate voltage of other transistors which constitute each partial circuit block (internal circuitry) must be separated, the substrate voltage of PMOS (MPi) and NMOS (MNi) which carries out the role of a switch, respectively between a common supply power supply line and a partial supply power supply line and between a common-electrical-ground power supply line and a partial touch-down power supply line should form it in a respectively independent well -- it comes out. For this reason, it is suitable to take triple well structure so that PMOS (MPi) and NMOS (MNi) which carry out the role of a switch may be respectively formed in a separate well and well voltage (substrate voltage) can be set up freely.

[0017] drawing 4 is mutually-independent on the P type substrate 10 -- the bottom -- the 1stN well 1 and the 2ndN well 2, the above-mentioned 1stN well 1, and the 2ndN well 2 -- becoming independent -- the -- the [which is formed in the interior of the 1P-well 3 and the above-mentioned 1stN well 1] -- the triple well structure of

having 2P well 4 is shown. NMOS (MNi) which PMOS (MPi) which carries out the role of a switch between a common supply power supply line and a partial supply power supply line is formed in the independent above-mentioned 2ndN well 2 here, and carries out ***** of a switch between a common-electrical-ground power supply line and a partial touch-down power supply line -- the -- it is formed in the 2P-well 4. Therefore, even if the well voltage V_{NW_i} and V_{PW_i} changes, effect does not attain to other transistors which constitute the circuit.

[0018] drawing 5 shows the well structure by other examples, and is mutually-independent on the N type substrate 20 -- the bottom -- the -- the [1P well 11 and] -- the [2P well 12 and / above-mentioned] -- the [1P well 11 and] -- the [the 1stN well 13 which became independent of 2P well 12, and / above-mentioned] -- the triple well structure of having the 2ndN well 14 formed in the interior of 1P well 11 is shown. NMOS (MNi) which PMOS (MPi) which carries out the role of a switch between a common supply power supply line and a partial supply power supply line is formed in the independent above-mentioned 2ndN well 14 here, and carries out the role of a switch between a common-electrical-ground power supply line and a partial touch-down power supply line -- the [above-mentioned] -- it is formed in 2P well 12. Therefore, even if

the well voltage VNWi and VPWi changes, effect does not attain to other transistors which constitute the circuit.

[0019] Either [and] the common supply power supply line L100 or the common-electrical-ground power supplies L0 In using it for a partial circuit block, connecting with it directly and using another side as a layered structure using a partial power supply line (an electric supply side or earth side) the [in which a switching transistor is formed by drawing 4] -- a well can be omitted and formed by the same principle also by drawing 5 that what is necessary is to form only either 2P well 4 or the 2ndN wells 2.

[0020]

[Effect of the Invention] since the bottom current of a threshold of a standby condition to a that the shift to an operating state is quick, simultaneously a standby condition can decrease and power consumption can decrease in the equipment which adopted the semiconductor circuit according to this invention as explained above, it is effective in raising the reliability of the super-highly-integrated memory device used for the portable electronic product with which low power consumption is demanded, or a logical element

[0021] Probably, as for this invention explained above, it will be clear for substitute, deformation, and modification to be possible in it being various in those who have the usual knowledge in the

field of the technology in which this invention belongs within limits which are not limited with the above-mentioned example and an attached drawing, and do not deviate from the range of the technical thought of this invention.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the construct of the example of the semiconductor device by this invention.

[Drawing 2] It is the timing chart of the control signal in the circuit of drawing 1.

[Drawing 3] It is the circuit diagram showing the construct of other examples of the semiconductor device by this invention.

[Drawing 4] It is the cross section showing the portion of the triple well structure of the semiconductor device by this invention.

[Drawing 5] It is the cross section showing the portion of the triple well structure of the semiconductor device by this invention.

[Drawing 6] It is the circuit diagram showing the construct of the conventional semiconductor device.

[Description of Notations]

B0 -- Whole circuit block,

B1, B-2, ..., Bm -- Partial circuit block,

X -- Input of a whole circuit block

X1, X2, ..., Xm -- Input of a partial circuit

block

The output of Y and a whole circuit block

Y1, Y2, ..., Ym -- Output of a partial circuit block

L100 -- Common supply power supply line

La1, La2, ..., Lam -- Partial supply power supply line

L0 -- Common-electrical-ground power supply line

Lb1, Lb2, ..., Lbm -- Partial touch-down power supply line

MP1, MP2, ..., MPm -- Switching transistor

MN1, MN2, ..., MNm -- Switching transistor

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83335

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/00			H 0 3 K 19/00	A
G 1 1 C 11/413			19/096	B
11/407			G 1 1 C 11/34	3 3 5 C
H 0 1 L 27/04				3 5 4 F
21/822			H 0 1 L 27/04	F
審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-125085

(22) 出願日 平成8年(1996)5月20日

(31) 優先権主張番号 1995P12617

(32) 優先日 1995年5月19日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 593160415

ヒュンダイ エレクトロニクス インダス
トリーズ カンパニー リミテッド
大韓民国 467-860 キョウンキド イチ
ヨンクン プバリュブ アミーリ サン
136-1

(72) 発明者 ソー ジョンウォン

大韓民国 467-860 キョウンキド イチ
ヨンクン プバリュブ アミーリ サン
136-1 ヒュンダイ エレクトロニクス
インダストリーズ カンパニー リミテ
ッド内

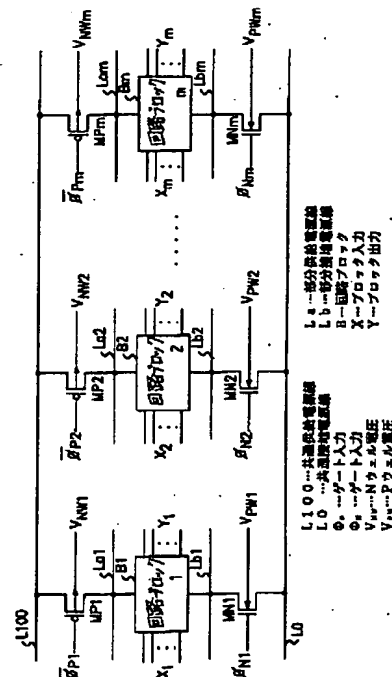
(74) 代理人 弁理士 長谷 照一 (外2名)

(54) 【発明の名称】 待機状態の電力消費を減少させるための半導体装置

(57) 【要約】

【課題】 複数の内部回路を有し論理動作をする半導体装置において、待機状態における電力消費を減らして省エネ化するとともに、待機状態から作動状態への移行の速い回路を提供する。

【解決手段】 複数の内部回路に対して共通に所定の電源を供給する共通供給電源線および共通接地電源線を具備してなり、内部回路の中でその回路の待機状態と作動状態が同一のタイミングを有する回路ごとに複数の下位の部分回路ブロックに分けて構成し、それら部分回路ブロックと共通供給電源線または共通接地電源線の間の少なくとも一方にMOSトランジスタを介在させて、そのMOSトランジスタは、部分回路ブロックが待機状態の時にターンオフされ、かつ基板電圧を調節することよりしきい電圧が上昇してしきい下電流が減少する構成にする。



【特許請求の範囲】

【請求項1】半導体装置の複数の内部回路に対して共通に所定の電源を供給する共通供給電源線および共通接地電源線を具備する半導体装置において、

上記内部回路の内でのその回路の待機状態と作動状態が同一のタイミングを有する回路ごとに複数の下位の部分回路ブロックに分けて構成し、

それら部分回路ブロックと上記共通供給電源線または上記共通接地電源線の間の少なくとも一方に具備されて、上記部分回路ブロックが待機状態の時にターンオフされ、かつ基板電圧を調節することよりしきい電圧が上昇してしきい下電流が減少する第一のMOSトランジスタを具備することを特徴とする待機状態の電力消費を減少させるための半導体装置。

【請求項2】請求項1に記載の待機状態の電力消費を減少させるための半導体装置であって、

上記部分回路ブロック内の所定の回路点が待機状態で定まった論理レベルを呈する場合、上記部分回路ブロックを構成する第二のMOSトランジスタの内のしきい下電流の経路になる第二のMOSトランジスタは、上記第一のMOSトランジスタを介して上記共通供給電源線または上記共通接地電源線に連結し、しきい下電流の経路にならない残りの第二のMOSトランジスタは、直接的に上記共通供給電源線または上記共通接地電源線に連結して構成することを特徴とするもの。

【請求項3】請求項1または請求項2に記載の待機状態の電力消費を減少させるための半導体装置であって、上記共通供給電源線と上記部分回路ブロックの間の第一のMOSトランジスタは、連結された部分回路ブロックが待機状態の時に論理レベルHがゲート電極に入力され、作動状態の時に論理レベルLがゲート電極に入力されて、作動状態の時に待機状態の時より所定値だけ小さい基板電圧を呈するPチャンネルMOSトランジスタで構成されることを特徴とするもの。

【請求項4】請求項3に記載の待機状態の電力消費を減少させるための半導体装置であって、

上記共通接地電源線と上記部分回路ブロックの間の第一のMOSトランジスタは、連結された部分回路ブロックが待機状態の時に論理レベルLがゲート電極に入力され、作動状態の時に論理レベルHがゲートに入力されて、

作動状態の時に待機状態の時より所定値だけ大きい基板電圧を呈するNチャンネルMOSトランジスタで構成されることを特徴とするもの。

【請求項5】請求項4に記載の待機状態の電力消費を減少させるための半導体装置であって、上記第一のMOSトランジスタは、上記部分回路ブロックを構成する第二のMOSトランジスタに影響を及ぼすことなく自由に基板電圧を調節することが可能なように独立したウェル内に形成されたことを特徴とするもの。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、待機状態のサブスレッシュホールドカレント（しきい下電流）により消費される電力を減少させるための半導体装置に関するもので、ロングチャンネル（Long Channel）トランジスタに比べてカットオフ特性が劣るディープサブミクロンMOSトランジスタ（Deep Submicron MOS Transistor）を使用するギガビット（G-bit）級のメモリや論理素子に適用して、待機状態の電流（standby current）を著しく減少させることにより、待機状態の電力消費を減少させるための半導体装置に関するものである。

【0002】

【従来の技術】従来、半導体回路において、メモリ素子や論理素子を複数組み合わせる使用の場合は、一般には、図6の構成概念を示す回路図に見られるように、各部分的回路である回路ブロックB0に電源を供給するのに、大型装置全体への共通（大域）の供給電源線（global power line）L100と共通の接地電源線（global ground line）L0を直接これら部分的な回路ブロックB0に連結して使用するのが通例である。

【0003】

【発明が解決しようとする課題】しかし、そのように、電源線（給電側および接地側）を部分回路ブロックに直接接続する構成を採ると、ディープサブミクロンMOSトランジスタ（deep submicron MOS transistor）を使用する場合には、トランジスタがカットオフ状態（つまり、しきい電圧未満）でもしきい下電流（sub-threshold current）が多く流れることになって、待機状態にある方の回路の電力消費（本来ゼロであってほしい）が無用に大きく増加する問題点がある。そのような問題点は、根本的には、MOSトランジスタの大きさが小さくなるに従いしきい電圧が小さくなるのに伴って、トランジスタのしきい領域内の $|V_{GS} < V_T|$ （ここに、 V_{GS} はゲートソース間電圧、 V_T はしきい電圧）の範囲でも、しきい下電流が増加するために、発生する。したがって、ディープサブミクロンMOSトランジスタを使用して回路を構成するギガビット級のメモリ論理素子においては、待機状態の電力消費が非常に深刻な問題点になる。

【0004】このため、待機状態の電力消費を防止するためのいくつかの回路技術が発表されており、その中の一つとして日本のHitachiが発表した「Switched-Source Impedance CMOS Circuit」（IEEE Journal of Solid State Circuits、第28巻、11号、1993年11月）の回路技術が一番代表的である。しかし、Hitachiの回路技術でも、待機状態のしきい下電流を顕著に減少されることはできても、回路動作の遅延を増加させるばかりでなく、待機状態（stanby state）から作動状態（active state）への移行も遅く、全体回路の

性能を向上させるには未だ不十分である。

【0005】したがって、この発明は、待機状態から作動状態への移行が速く、そして待機状態におけるしきい下電流を減少させて、電力消耗の少ない半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、この発明による待機状態の電力消費を減少させるための半導体装置は、複数の内部回路に対して共通に所定の電源を供給する共通供給電源線および共通接地電源線を具備する半導体装置において、上記内部回路の内でのその回路の待機状態と作動状態が同一のタイミングを有する回路ごとに複数の下位の部分回路ブロックに分けて構成し、それら部分回路ブロックと上記共通供給電源線または上記共通接地電源線の間の少なくとも一方に具備されて、上記部分回路ブロックが待機状態の時にターンオフされ、かつ基板電圧を調節することよりしきい電圧が上昇してしきい下電流が減少するMOSトランジスタを具備して構成したものである。

【0007】

【発明の実施の形態】以下、添付図面の図1～5を参照して、この発明を詳細に説明する。図1は、この発明の一実施例による半導体装置の構成概念を示す回路図で、共通（広域）供給電源線L100と共通（広域）接地電源線L0を各部分回路ブロックに直接連結しないで、待機状態と作動状態が同一である回路ごとに全体の回路ブロックを多数個（m個）の下位の回路ブロック、つまり部分回路ブロックBi（ここに、 $i = 1, 2, \dots, m$ 、以下同様）に分けて、各々の部分回路ブロックBiに対して局所的（local）な部分供給電源線Laiと局所的な部分接地電源線Lbiを、それぞれスイッチング手段であるPチャンネルMOSトランジスタ（PMOS）MPiとNチャンネルMOSトランジスタ（NMOS）MNiを介して共通供給電源線L100と共通接地電源線L0に連結して、装置全体の回路を階層構造に構成し、PMOS（MPi）とNMOS（MNi）を形成するそれぞれのNウェルとPウェルは、メモリや論理素子を構成する他のMOSトランジスタを形成するウェルから分離されるように、具現する。Xiは、部分回路ブロックBiへの入力信号であり、Yiは、部分回路ブロックBiからの出力信号である。また、 $\bar{\Phi}_{pi}$ は、PMOSトランジスタMPiへ加えられる制御入力信号の逆相分であり（ここに、文中の記号 $\bar{}$ は、図面中の符号文字の上方に引かれた横線に相当し、信号の逆相分を表す）、 Φ_{Ni} は、NMOSトランジスタMNiへ加えられる制御入力信号の順相分である。さらに、 V_{NW_i} は、PMOSトランジスタMPiが位置しているNウェルの電圧、 V_{PW_i} は、NMOSトランジスタMNiが位置しているPウェルの電圧である。

【0008】図2は、図1の回路における制御信号など

のタイミング図で、PMOS（MPi）のゲートに入力される信号 $\bar{\Phi}_{pi}$ （図面では、添字のiが省略されている）は、それに連結されている部分回路ブロックBiが待機状態の時に論理レベルH（high）を呈し、作動状態の時に論理レベルL（low）を呈する。反面、NMOS（MNi）のゲートに入力される信号 Φ_{Ni} は、それに連結されている部分回路ブロックBiが待機状態の時に論理レベルLを、作動状態の時に論理レベルHを呈する。したがって、部分回路ブロックBiが作動状態から待機状態になると、制御信号 $\bar{\Phi}_{pi}$ および Φ_{Ni} によりPMOS（MPi）およびNMOS（MNi）がそれぞれターンオフされることにより、部分供給電源線Lai及び部分接地電源線Lbiは、それぞれ共通供給電源線L100および共通接地電源線L0から切り離されて、PMOS（MPi）とNMOS（MNi）を通して流れるしきい下電流により待機状態の電力消費が決まる。

【0009】また、図2のように、PMOS（MPi）がその中に形成されているNウェルの電圧 V_{NW_i} は、作動状態の時の電圧 V_{NW-AC} より待機状態の時の電圧 V_{NW-SB} が所定値だけ増加し、一方、NMOS（MNi）がその中に形成されているPウェルの電圧 V_{PW_i} は、作動状態の時の電圧 V_{PW-AC} より待機状態の時の電圧 V_{PW-SB} が所定値だけ減少し、ボディエフェクト（body effect）によりPMOS（MPi）とNMOS（MNi）の各しきい電圧の大きさが増加するようになる。したがって、待機状態のPMOS（MPi）およびNMOS（MNi）のしきい下電流が顕著に減少して、電力消費がその分減少する。

【0010】一方、待機状態から作動状態に移行すると、制御信号 $\bar{\Phi}_{pi}$ は、論理レベルHから論理レベルLに移行し、制御信号 Φ_{Ni} は、論理レベルLから論理レベルHに移行し、同時に V_{NW_i} は V_{NW-AC} に電圧が減少し、 V_{PW_i} は V_{PW-SB} から V_{PW-AC} に電圧が増加して、PMOS（MPi）とNMOS（MNi）の各しきい電圧の大きさが小さくなることにより、速く作動状態になる。

【0011】すなわち、PMOS（MPi）とNMOS（MNi）の各々のウェル電圧を待機状態と作動状態とで異ならせるようにすることにより、待機状態ではしきい電圧の大きさを増加させてしきい下電流が減少されるようにし、作動状態ではしきい電圧の大きさを減少させるようにして、待機状態から作動状態への移行が速く行われるとともに、PMOS（MPi）とNMOS（MNi）の電流駆動能力を増加させる。

【0012】なお、前記の図1で共通供給電源線L100および共通接地電源線L0は、それらの内でいずれか一方を部分回路ブロックに直接連結して使用し、いずれかの他方を部分電源線を利用する階層構造として使用することもできる。

【0013】ところで、一般的に、DRAMのようなメモリ素子は、大部分の内部ノード（internal nodes）の

5

ロジックレベル(LまたはH)が待機状態で一定に定められている。そのように待機状態で大部分のノードのロジックレベルが一定に定められている場合、より効率的にしきい下電流を減少させることができる。

【0014】図3は、待機状態で各ノード(回路点)のロジックレベルが定まっている内部回路(回路ブロック)に対する電源線(供給側および接地側)の接続の仕方を図示したもので、ここに例示した回路ブロックは3個のインバータが直列に連結された回路からなっており、待機状態における各インバータの入力端ノードの論理レベルは、 $n1$ がH、 $2n$ がL、 $n3$ がH、 $n4$ がLを維持できると仮定すれば、PMOS(MPa)、NMOS(MNb)、PMOS(MPc)のしきい下電流は、部分供給電源線La iの電圧を低くして、部分接地電源線Lb iの電圧を高くすることになる。この場合、図3のように、しきい下電流の経路になるトランジスタのみを部分供給電源線La iまたは部分接地電源線Lb iに連結し、残りのトランジスタを共通供給電源線L100または共通接地電源線L0に連結すると、しきい下電流の経路になるトランジスタMPa、MNb、MPcのゲートソース間に逆電圧がかかることになって、しきい下電流が著しく減少する。参考までに補足すると、MOSトランジスタのしきい下電流は、ゲートソース間に逆電圧が加わると、急激に減少する。

【0015】部分供給電源線La iの電圧は、しきい下電流により共通供給電源線L100の電圧に比べて僅かに低くなり(ΔV_{DD})、逆に部分接地電源線Lb iの電圧は、共通接地電源線L0の電圧に比べて僅かに高くなる(ΔV_{SS})。したがって、トランジスタMPa、MPcのゲートソース間には、 ΔV_{DD} の逆バイアスがかかり、トランジスタMNbのゲートソース間には、 ΔV_{SS} の逆バイアスがかかることになる。

【0016】図4および図5は、この発明を具現化するためのトリプルウェルの構造概念を示す半導体の断面図である。共通供給電源線と部分供給電源線の間および共通接地電源線と部分接地電源線の間でそれぞれスイッチの役割をするPMOS(MPi)とNMOS(MNi)の基板電圧は、各部分回路ブロック(内部回路)を構成する他のトランジスタの基板電圧とは切り離されていないから、それぞれ独立のウェルに形成すべきで、このため、スイッチの役割をするPMOS(MPi)とNMOS(MNi)を各々別個のウェルに形成してウェル電圧(基板電圧)を自由に設定できるようにトリプルウェル構造を採るのが適する。

【0017】図4は、P型基板10の上に互いに独立した第1Nウェル1および第2Nウェル2、上記第1Nウェル1および第2Nウェル2と独立し第1Pウェル3、そして上記第1Nウェル1の内部に形成される第2Pウェル4を有するトリプルウェル構造を示している。ここで、共通供給電源線と部分供給電源線の間でスウィ

6

ッチの役割をするPMOS(MPi)は、独立した上記第2Nウェル2内に形成され、共通接地電源線と部分接地電源線の間でスイッチの役割をするNMOS(MNi)は第2Pウェル4内に形成される。したがって、ウェル電圧 V_{NW_i} および V_{PW_i} が変わっても、回路を構成している他のトランジスタには影響が及ばない。

【0018】図5は、他の実施例によるウェル構造を示すもので、N型基板20の上に互いに独立した第1Pウェル11および第2Pウェル12、上記第1Pウェル11および第2Pウェル12と独立した第1Nウェル13、そして上記第1Pウェル11の内部に形成される第2Nウェル14を有するトリプルウェル構造を示している。ここで、共通供給電源線と部分供給電源線の間でスイッチの役割をするPMOS(MPi)は、独立した上記第2Nウェル14内に形成され、共通接地電源線と部分接地電源線の間でスイッチの役割をするNMOS(MNi)は、上記第2Pウェル12内に形成される。したがって、ウェル電圧 V_{NW_i} および V_{PW_i} が変わっても、回路を構成している他のトランジスタには影響が及ばない。

【0019】そして、共通供給電源線L100および共通接地電源線L0の内のいずれか一方は、部分回路ブロックに直接連結して使用し、他方は部分電源線(給電側または接地側)を利用した階層構造として使用する場合には、図4でスイッチングトランジスタが形成される第2Pウェル4または第2Nウェル2の内のいずれか一方だけを形成すればよく、図5でも同じ原理でウェルを省略して形成することができる。

【0020】

【発明の効果】以上説明したように、この発明によれば、半導体回路を採用した装置において、待機状態から作動状態への移行が速いことと同時に、待機状態のしきい下電流を減少させて電力消費を減少させることができるので、低電力消費が要求される携帯用電子製品に使用される超高集積度メモリ素子や論理素子の信頼性を向上させる効果がある。

【0021】以上に説明したこの発明は、前述の実施例および添付の図面により限定されるのではなく、この発明の技術的思想の範囲を逸脱しない範囲内で、いろいろと置換、変形および変更が可能であることが、この発明の属する技術の分野における通常の知識を有する者において明白であろう。

【図面の簡単な説明】

【図1】 この発明による半導体装置の実施例の構成概念を示す回路図である。

【図2】 図1の回路における制御信号のタイミング図である。

【図3】 この発明による半導体装置の他の実施例の構成概念を示す回路図である。

【図4】 この発明による半導体装置のトリプルウェル

構造の部分を示す断面図である。

【図5】 この発明による半導体装置のトリプルウェル構造の部分を示す断面図である。

【図6】 従来の半導体装置の構成概念を示す回路図である。

【符号の説明】

B 0…全体回路ブロック、

B 1、B 2、…、B m…部分回路ブロック、

X…全体回路ブロックの入力

X 1、X 2、…、X m…部分回路ブロックの入力

Y、全体回路ブロックの出力

Y 1、Y 2、…、Y m…部分回路ブロックの出力

L 1 0 0…共通供給電源線

L a 1、L a 2、…、L a m…部分供給電源線

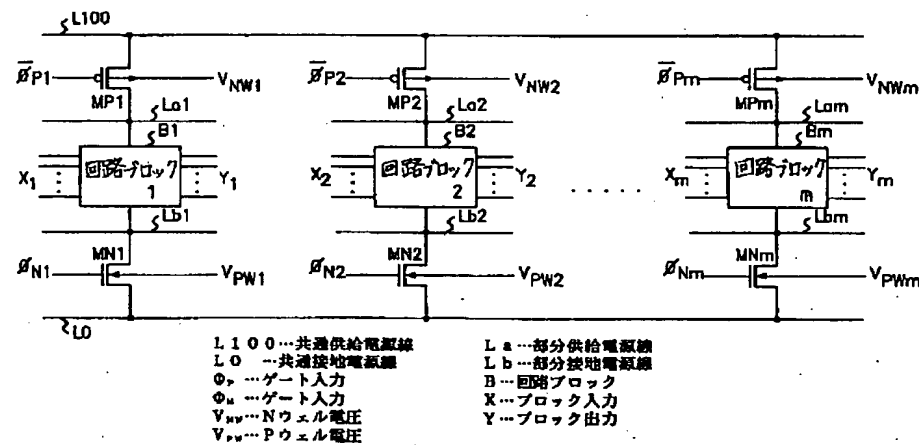
L 0…共通接地電源線

L b 1、L b 2、…、L b m…部分接地電源線

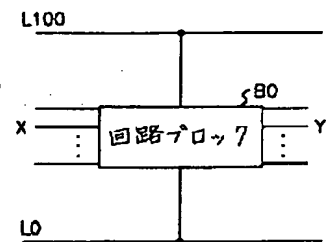
MP 1、MP 2、…、MP m…スイッチングトランジスタ

MN 1、MN 2、…、MN m…スイッチングトランジスタ

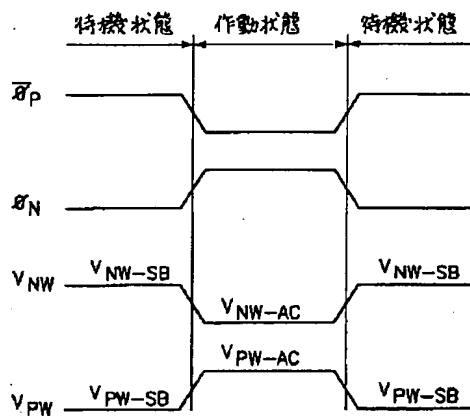
【図1】



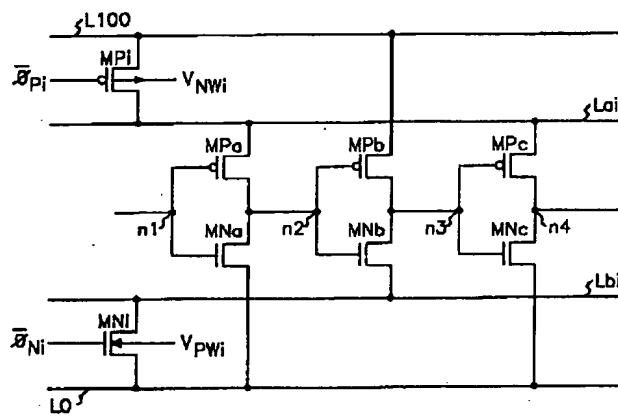
【図6】



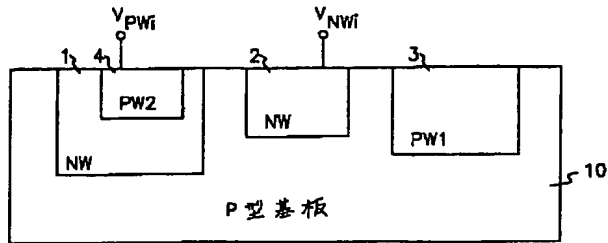
【図2】



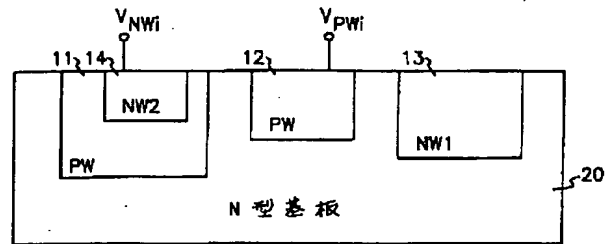
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8238
27/092
H 0 3 K 19/094
19/096

識別記号

庁内整理番号

F I

H 0 1 L 27/08
H 0 3 K 19/094

技術表示箇所

3 2 1 L
D